

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-282873
(P2003-282873A)

(43)公開日 平成15年10月3日(2003.10.3)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 29/78		H 0 1 L 21/316	M 5 F 0 5 8
21/316			P 5 F 1 4 0
		29/78	3 0 1 G

審査請求 有 請求項の数22 O L (全 8 頁)

(21)出願番号 特願2002-80316(P2002-80316)

(22)出願日 平成14年3月22日(2002.3.22)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 藤田 繁

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 100082762

弁理士 杉浦 正知 (外1名)

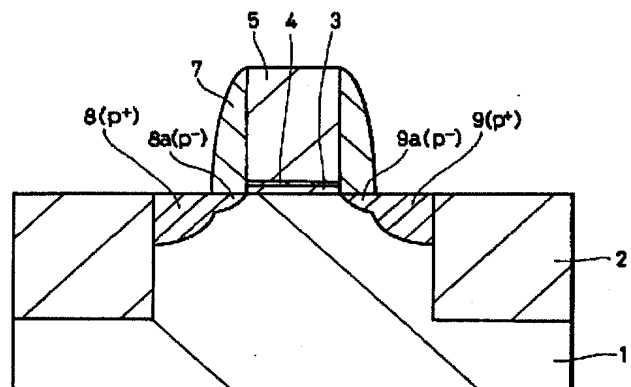
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 ゲート絶縁膜として高誘電体膜を用いた場合に、ゲート電極に用いられるp型シリコン層中のp型不純物がゲート絶縁膜を通過して下地の半導体基体に拡散するのを防止し、pチャネルM I Sトランジスタのしきい値電圧の変動を防止する。

【解決手段】 シリコン基板1上に高誘電体膜3を形成した後、この高誘電体膜3の表面をラジカル窒素を用いて窒化することにより窒化層4を形成する。窒化層4上に、ホウ素がドーパされたp型多結晶シリコン層を含むゲート電極5を形成する。高誘電体膜3およびその上の窒化層4の全体がゲート絶縁膜を構成する。この後、ゲート電極5に対して自己整合的にp⁺型のソース領域8およびドレイン領域9を形成し、pチャネルM I Sトランジスタを形成する。



【特許請求の範囲】

【請求項1】 半導体基体と、
上記半導体基体上の高誘電体膜と、
上記高誘電体膜上の窒化層とを有することを特徴とする半導体装置。

【請求項2】 上記窒化層上のp型不純物含有層を更に有することを特徴とする請求項1記載の半導体装置。

【請求項3】 上記窒化層は上記高誘電体膜の表面を窒化することにより形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項4】 上記半導体基体はシリコン基板またはシリコン層であることを特徴とする請求項1記載の半導体装置。

【請求項5】 上記p型不純物含有層はホウ素を含有するシリコン層であることを特徴とする請求項2記載の半導体装置。

【請求項6】 半導体基体上に高誘電体膜を形成する工程と、
上記高誘電体膜の表面に窒化層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 上記窒化層上にp型不純物含有層を形成する工程を更に有することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 上記高誘電体膜の表面を窒化することにより上記窒化層を形成することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】 上記高誘電体膜の表面をプラズマ窒化法を用いて窒化することにより上記窒化層を形成することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項10】 上記高誘電体膜の表面をラジカル窒素を用いて窒化することにより上記窒化層を形成することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項11】 上記半導体基体はシリコン基板またはシリコン層であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項12】 上記p型不純物含有層はホウ素を含有するシリコン層であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項13】 半導体基体と、
上記半導体基体上のゲート絶縁膜と、
上記ゲート絶縁膜上の少なくともp型不純物含有層を含むゲート電極とを有する半導体装置において、
上記ゲート絶縁膜は、高誘電体膜とこの高誘電体膜上の窒化層とを含むことを特徴とする半導体装置。

【請求項14】 上記窒化層は上記高誘電体膜の表面を窒化することにより形成されたものであることを特徴とする請求項13記載の半導体装置。

【請求項15】 上記半導体基体はシリコン基板またはシリコン層であることを特徴とする請求項13記載の半導体装置。

【請求項16】 上記p型不純物含有層はホウ素を含有するシリコン層であることを特徴とする請求項13記載の半導体装置。

【請求項17】 半導体基体上にゲート絶縁膜を形成する工程と、

上記ゲート絶縁膜上に少なくともp型不純物含有層を含むゲート電極を形成する工程とを有する半導体装置の製造方法において、

上記ゲート絶縁膜を形成する工程は、上記半導体基体上に高誘電体膜を形成する工程と、上記高誘電体膜の表面に窒化層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項18】 上記高誘電体膜の表面を窒化することにより上記窒化層を形成することを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】 上記高誘電体膜の表面をプラズマ窒化法を用いて窒化することにより上記窒化層を形成することを特徴とする請求項17記載の半導体装置の製造方法。

【請求項20】 上記高誘電体膜の表面をラジカル窒素を用いて窒化することにより上記窒化層を形成することを特徴とする請求項17記載の半導体装置の製造方法。

【請求項21】 上記半導体基体はシリコン基板またはシリコン層であることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項22】 上記p型不純物含有層はホウ素を含有するシリコン層であることを特徴とする請求項17記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、例えば、ゲート電極にp型不純物含有シリコン層を用いるMIS (Metal-Insulator-Semiconductor) トランジスタを有する半導体装置に適用して好適なものである。

【0002】

【従来の技術】例えばシリコン基板を用いたMOS (Metal-Oxide-Semiconductor) 型半導体装置の製造においては、シリコン酸化膜からなるゲート絶縁膜をシリコン基板の表面に形成する必要がある。このゲート絶縁膜としてのシリコン酸化膜は、MOS型半導体装置の信頼性を担っているといっても過言ではない。したがって、このシリコン酸化膜には常に高い絶縁破壊耐圧および長期信頼性が要求される。

【0003】近年、MOS型半導体装置においては、高集積化に伴いゲート絶縁膜も薄膜化されつつあり、ゲート長0.07 μ m世代のMOS型半導体装置におけるゲート絶縁膜としてのシリコン酸化膜の厚さは1.2nm程度になると予想されているが、このように薄いシリコン酸化膜単層ではゲートリーク電流が増大してしまうこ

とから、シリコン酸化膜は薄膜化の限界を迎えている。そのため、ゲート絶縁膜として、シリコン酸化膜に代えて、シリコン酸化膜に比べて誘電率が十分に大きい高誘電体膜を採用することが検討されている。

【0004】一方、近年、CMOSトランジスタにおいては、低消費電力化のために低電圧化が図られており、そのためCMOSトランジスタを構成するpチャネルMOSトランジスタおよびnチャネルMOSトランジスタの双方に対して十分に低くしかも対称なしきい値電圧が要求されるようになってきている。このような要求に対処するために、pチャネルMOSトランジスタにおいては、これまで用いられていた、n型不純物を含むn型多結晶シリコン層を用いたゲート電極に代えて、p型不純物を含むp型多結晶シリコン層を用いたゲート電極が用いられるようになってきている。ところが、p型不純物として通常用いられるホウ素(B)の原子は、ゲート電極形成後の半導体装置の製造工程において行われる各種の熱処理によってゲート電極から拡散し、ゲート絶縁膜を通過してシリコン基板に容易に到達し、pチャネルMOSトランジスタのしきい値電圧を変動させる。この現象は、低電圧化のためにゲート絶縁膜を一層薄くした場合、一層顕著に現れる。

【0005】

【発明が解決しようとする課題】上述のホウ素原子のシリコン基板への拡散に起因するpチャネルMOSトランジスタのしきい値電圧の変動は、ゲート絶縁膜として薄膜のシリコン酸化膜に変えて高誘電体膜を用いた場合においても、この高誘電体膜はホウ素原子を拡散により容易に通過させてしまうことから同様に生じるため、非常に大きな問題となる。

【0006】したがって、この発明が解決しようとする課題は、ゲート絶縁膜として高誘電体膜を用いた場合に、ゲート電極に用いられるp型シリコン層中のp型不純物がゲート絶縁膜を通過して下地の半導体基体に拡散し、トランジスタのしきい値電圧の変動を引き起こすのを有効に防止することができる半導体装置およびその製造方法を提供することにある。

【0007】より一般的には、この発明が解決しようとする課題は、高誘電体膜の上層のp型不純物含有層中のp型不純物が高誘電体膜を通過して下地の半導体基体に拡散し、不良を生じるのを有効に防止することができる半導体装置およびその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記課題を解決するために、この発明の第1の発明は、半導体基体と、半導体基体上の高誘電体膜と、高誘電体膜上の窒化層とを有することを特徴とする半導体装置である。

【0009】この発明の第2の発明は、半導体基体上に高誘電体膜を形成する工程と、高誘電体膜の表面に窒化層を形成する工程とを有することを特徴とする半導体装

置の製造方法である。

【0010】この発明の第3の発明は、半導体基体と、半導体基体上のゲート絶縁膜と、ゲート絶縁膜上の少なくともp型不純物含有層を含むゲート電極とを有する半導体装置において、ゲート絶縁膜は、高誘電体膜とこの高誘電体膜上の窒化層とを含むことを特徴とするものである。

【0011】この発明の第4の発明は、半導体基体上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に少なくともp型不純物含有層を含むゲート電極を形成する工程とを有する半導体装置の製造方法において、ゲート絶縁膜を形成する工程は、半導体基体上に高誘電体膜を形成する工程と、高誘電体膜の表面に窒化層を形成する工程とを含むことを特徴とするものである。

【0012】この発明において、高誘電体膜は、基本的にはどのようなものであってもよいが、具体的には、例えば Al_2O_3 、 ZrO_2 、 HfO_2 、 PrO_2 などの膜、あるいはそれらのシリケート膜、あるいはこれらの元素の多元系材料(例えば、三元系材料としては $HfAlO_x$ など)の膜、更にはこれらの膜を二層以上積層した積層構造(例えば、 $Al_2O_3/HfO_2/Al_2O_3$ 積層構造)などである。この高誘電体膜の形成には各種の方法を用いることができるが、例えば、ALD(Atomic Layer Deposition)法、有機金属化学気相成長(MOCVD)法、スパッタリング法などを用いることができる。

【0013】また、高誘電体膜の下地となる半導体基体は、バルクの半導体基板のほか、任意の基板上に半導体層を形成したものであってもよく、それらに素子が形成されていることも形成されていないこともあり得る。具体的には、半導体基体は、例えば、単結晶シリコン基板(単結晶シリコンウエーハ)や、シリコン基板などの半導体基板上にエピタキシャル成長された単結晶シリコン層、半導体基板その他の基板上に形成された多結晶シリコン層あるいはアモルファス(非晶質)シリコン層、更にはシリコンとゲルマニウムとからなる半導体層(Si-Ge層)などである。なお、単結晶シリコン基板は、CZ(Czochralski)法、MCZ(Magnetic Field Applied Czochralski)法、DL CZ(Double-Layered Czochralski)法、FZ(Floating Zone)法などのいずれの結晶成長方法を用いて作製された単結晶シリコンの切断により得られたものであってもよく、更には例えばダングリングボンドの不活性化のためにあらかじめ水素アニールを行ったものであってもよい。

【0014】また、窒化層は、典型的には、高誘電体膜の表面を直接窒化することにより形成されるが、高誘電体膜上に窒化層を堆積させることにより形成してもよい。前者の場合には、窒化層の組成は高誘電体膜の組成に応じたものとなり、一般的には窒素を含む高誘電体膜の組成を有する。一例を挙げると、高誘電体膜が Al_2

O₃ 膜の場合には、窒化層はA1とOとNとの化合物となる。一方、後者の場合には、窒化層の組成は高誘電体膜の組成と無関係に選ぶことができる。一例を挙げると、高誘電体膜がAl₂O₃ 膜の場合に、窒化層としてA1とOとNとの化合物層を形成する。

【0015】高誘電体膜の表面を直接窒化する場合に、好適には、プラズマ窒化法あるいはリモートプラズマ窒化法が用いられ、この場合特に好適には、プラズマ中で発生するラジカル窒素が用いられるが、場合によっては例えば熱窒化法などを用いてもよい。この窒化層の厚さは、ホウ素のようなp型不純物の拡散を防止するのに十分な厚さに選ばれるが、この窒化層の誘電率が高誘電体膜の誘電率より小さい場合にはこれらの高誘電体膜および窒化層の全体の誘電率は高誘電体膜単層の場合に比べて減少し、窒化層の厚さが増すほどこの減少量は多くなるので、これを防止し、高誘電体膜の高い誘電率を十分に生かすために、好適には窒化層の厚さは可能な限り小さく選ばれる。この窒化層の厚さは、高誘電体膜の材料や厚さなどにもよるが、具体的には、例えば、0.5nm程度以下である。

【0016】p型不純物含有層は、基本的にはどのような材料からなるものであってもよいが、典型的には、ホウ素を含有するシリコン層（単結晶、多結晶、アモルファスのいずれであってよい）である。具体例を挙げると、ゲート電極がホウ素を含有するp型多結晶シリコン層単層からなる場合や、ゲート電極がホウ素を含有するp型多結晶シリコン層上に高融点金属シリサイド層（例えば、タングステンシリサイド層など）を積層したポリサイド層からなる場合である。

【0017】半導体装置は、一般的には、MISトランジスタ、特にpチャネルMISトランジスタを用いる半導体装置であるが、具体的には、MIS型半導体装置、相補MIS型半導体装置、バイポーラー相補MIS型半導体装置などであり、ダイナミックRAMなどその用途は問わない。

【0018】上述のように構成されたこの発明によれば、窒化層はその構造の緻密性によりホウ素のようなp型不純物の拡散を妨げることができることから、この窒化層を高誘電率膜上に形成することにより、高誘電体膜の上層に形成されるp型不純物含有層、例えばゲート電極の全部または下部を構成するp型不純物含有多結晶シリコン層中のp型不純物が高誘電体膜を通過するのを防止することができる。

【0019】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一の部分には同一の符号を付す。図1～図9はこの発明の一実施形態による相補MIS型半導体装置の製造方法を示す。この相補MIS型半導体装置においては、nチャネルMISトランジスタおよびpチャ

ネルMISトランジスタの双方を用いるが、図1～図9においてはpチャネルMISトランジスタ形成部についてのみ図示し、以下の説明もpチャネルMISトランジスタ形成部についてのみ行う。

【0020】この一実施形態においては、図1に示すように、まず、従来公知の方法を用いて、単結晶のシリコン基板1に例えばSiO₂ 膜からなる素子分離領域2を選択的に形成した後、シリコン基板1に例えばリン

(P) のようなn型不純物を選択的にイオン注入することによりnウェル（図示せず）を形成する。次に、素子分離領域2の直下の部分のnウェル中にn型不純物を選択的にイオン注入することによりn⁺ 型のチャネルストップ領域を形成する（図示せず）。次に、シリコン基板1の活性領域に、pチャネルMISトランジスタのしきい値電圧調整用のイオン注入（チャネルドーピング）を行う。次に、例えばRCA洗浄を行うことによりシリコン基板1の表面の微粒子や金属不純物などを除去し、更に例えば0.1%フッ化水素酸水溶液および純水によりシリコン基板1の表面洗浄を行う。

【0021】次に、図2に示すように、シリコン基板1上に例えばALD法により高誘電体膜3を形成する。この高誘電体膜3としては、先に例示したものをを用いることができる。具体的には、この高誘電体膜3として、例えば、物理膜厚が2.5nmでSiO₂ 膜換算膜厚が1.7～1.8nmのAl₂O₃ 膜や、物理膜厚が4.0nmでSiO₂ 膜換算膜厚が1.5nmのHfO₂ 膜などを用いる。

【0022】次に、高誘電体膜3の表面の窒化処理を行うために、シリコン基板1を図10に示す枚葉式のラジカル窒化装置に搬入する。このラジカル窒化装置の構成について説明すると、次のとおりである。

【0023】図10に示すように、このラジカル窒化装置においては、処理室101の下部にサセプタ102が設けられ、このサセプタ102上にシリコン基板1が載置されるようになっている。サセプタ102は、必要に応じて、図示省略した加熱手段により加熱することができるようになっている。シリコン基板1は、処理室101の側面下部に設けられた基板搬入口103を通してこの処理室101に搬入され、あるいは処理室101から搬出されるようになっている。また、基板搬入口103とは異なる部分における処理室101の側壁下部には、スロットバルブ104を介してターボ分子ポンプ（TMP）105が接続され、このターボ分子ポンプ105により処理室101をオイルフリーで真空排気することができるようになっている。処理室101の側壁上部にはガス導入口106が接続され、このガス導入口106を通して処理室101の内部に窒素（N₂）ガスを導入することができるようになっている。一方、処理室101の上側には、高周波（RF）発生装置107が設けられている。この高周波発生装置107は、RFマッチン

7

グボックス 108 を介して RF パワーソース 109 と接続されている。

【0024】この図 10 に示すラジカル窒化装置で窒化処理を行うためには、まずシリコン基板 1 を基板搬入口 103 から処理室 101 内に搬入してサセプタ 102 上に載置する。そして、ターボ分子ポンプ 105 により処理室 101 を真空排気しながら、ガス導入口 106 から処理室 101 の内部に N_2 ガスを導入するとともに、高周波発生装置 107 により RF を発生させる。そして、この RF パワーの印加によって、処理室 101 の上部に

ソース RF パワー	12.56 MHz、200~1000 W
圧力	10~100 mTorr
時間	20~60 秒程度
ガス	N_2 、300~400 sccm

【0026】このようにして、図 3 に示すように、高誘電体膜 3 の表面部のみに極薄の窒化層 4 が形成される。この窒化層 4 の厚さは、具体的には例えば 0.2~0.3 nm である。

【0027】次に、例えば減圧 CVD 法により基板全面にノンドープの多結晶シリコン膜を形成し、更にこの多結晶シリコン膜に例えばイオン注入により p 型不純物として B をドーピングして p 型化する。次に、この B がドーピングされた p 型多結晶シリコン膜上にフォトリソグラフィにより所定形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、異方性ドライエッチング法、例えば反応性イオンエッチング（RIE）法を用いてエッチングを行うことによりこの p 型多結晶シリコン膜、更にはその下層の窒化層 4 および高誘電体膜 3 を所定形状にパターニングする。このようにして、図 4 に示すようにゲート電極 5 が形成される。この後、レジストパターンを除去する。この場合、ゲート電極 5 とシリコン基板 1 との間の高誘電体膜 3 および窒化層 4 の全体がゲート絶縁膜を構成する。

【0028】次に、図 5 に示すように、ゲート電極 5 をマスクとしてシリコン基板 1 に p 型不純物を低濃度にイオン注入することにより、後にソース領域およびドレイン領域の低不純物濃度部となる p⁻ 型の低不純物濃度領域 6 をゲート電極 5 に対して自己整合的に形成する。この p 型不純物としては例えば B や BF_2 を用いる。

【0029】次に、図 6 に示すように、例えば常圧 CVD 法や減圧 CVD 法などによりシリコン酸化膜やシリコン窒化膜などの絶縁膜を基板全面に形成した後、この絶縁膜を異方性ドライエッチング法、例えば RIE 法などにより基板表面に対して垂直方向にエッチングすることにより、ゲート電極 5 の側壁に絶縁物からなるサイドウォールスペーサ 7 を形成する。

【0030】次に、図 7 に示すように、ゲート電極 5 およびサイドウォールスペーサ 7 をマスクとして n ウェルに p 型不純物を高濃度にイオン注入することによりゲート電極 5 に対して自己整合的に例えば p⁺ 型のソース領

8

域において N_2 ガスをラジカル化し、これによって発生されるラジカル窒素により高誘電体膜 3 の表面を窒化する。ここで重要なことは、この窒化処理は、高誘電体膜 3 の極表面のみに止め、高誘電体膜 3 の内部やその下のシリコン基板 1 に及ばないようにすることである。ラジカル窒素を用いた窒化処理はこの点で優れた方法である。この窒化処理の条件の一例を挙げると、次のとおりである。

【0025】

域 8 およびドレイン領域 9 を形成する。この p 型不純物としては例えば B や BF_2 を用いる。先に形成した低不純物濃度領域 6 はこれらのソース領域 8 およびドレイン領域 9 の p⁻ 型の低不純物濃度部 8a、9a を構成する。この後、イオン注入された不純物の電気的活性化のための熱処理を行う。これによって、LDD (Lightly Doped Drain) 構造の p チャネル MIS トランジスタが形成される。

【0031】次に、従来公知の方法、例えばスパッタリング法などにより、金属シリサイド層を形成するための金属膜として例えばコバルト (Co) 膜（図示せず）を基板全面に形成した後、熱処理を行うことによりコバルト膜と、このコバルト膜が直接接触しているシリコン基板 1 および p 型多結晶シリコン層からなるゲート電極 5 とを反応させてシリサイド化を行う。このようにして、図 8 に示すように、ソース領域 8、9 およびゲート電極 5 上にそれぞれコバルトシリサイド ($CoSi_2$) 層 10 が形成される。この後、未反応のコバルト膜をエッチング除去する。

【0032】次に、図 9 に示すように、従来公知の方法、例えば常圧 CVD 法や減圧 CVD 法などにより、基板全面に例えばシリコン酸化膜、リンシリケートガラス (PSG) 膜、ホウ素リンシリケートガラス (BPSG) 膜、シリコン窒化膜あるいはそれらの積層膜などからなる層間絶縁膜 11 を成膜した後、この層間絶縁膜 11 のうちのソース領域 8、ドレイン領域 9 およびゲート電極 5 上の所定部分をエッチング除去することによりコンタクトホール 12、13、14 を形成する。

【0033】次に、従来公知の方法、例えば真空蒸着法やスパッタリング法などにより基板全面にバリア金属膜を介して配線材料、例えばアルミニウム (Al) 膜、Al 合金膜あるいはその他の金属膜などを成膜した後、この膜を例えば RIE 法などにより所定形状にエッチングすることにより、コンタクトホール 12、13、14 を介してそれぞれソース領域 8、ドレイン領域 9 およびゲート電極 5 と接続された配線 15、16、17 を形成

する。

【0034】この後、必要に応じて、上層の配線形成工程などの工程を実行して、目的とする相補MIS型半導体装置を製造する。

【0035】以上のように、この一実施形態によれば、高誘電体膜3の表面をラジカル窒素を用いて窒化することにより緻密な構造の極薄の窒化層4を形成し、その上にB含有p型多結晶シリコン層からなるゲート電極5を形成しているため、このゲート電極5の形成後の製造工程において行われる各種の熱処理によりゲート電極5を構成するp型多結晶シリコン層中のBが外部に拡散しても、窒化層4によりその拡散が妨げられることにより、Bが高誘電体膜3を通過してシリコン基板1に拡散するのを有効に防止することができる。このため、Bがシリコン基板1に拡散することに起因するpチャネルMISトランジスタのしきい値電圧の変動を抑制することができ、それによって相補MISトランジスタの特性不良を大幅に低減することができ、ひいては相補MIS型半導体装置の製造歩留まりの向上を図ることができる。また、窒化層4の厚さは0.2~0.3nmと極めて小さいので、高誘電体膜3の高い誘電率を十分に生かすことができる。更に、高誘電体膜3は、一般に高い絶縁破壊耐圧および長期信頼性を有するので、信頼性の高いpチャネルMISトランジスタを得ることができる。

【0036】以上、この発明の一実施形態につき具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0037】例えば、上述の一実施形態において挙げた数値、材料、構造、形状、プロセスなどはあくまでも例にすぎず、必要に応じてこれらと異なる数値、材料、構造、形状、プロセスなどを用いてもよい。

【0038】具体的には、例えば、上述の一実施形態においては、ゲート電極5を構成するp型多結晶シリコン層を形成するために、ノンドープの多結晶シリコン膜を基板全面に形成し、これにp型不純物をイオン注入しているが、CVD法により多結晶シリコン層を形成する際にp型不純物をドーピングするようにしてもよい。更に、ノンドープの多結晶シリコン膜をゲート電極の形状にパターンニングした後にこの多結晶シリコン膜にp型不純物をドーピングするようにしてもよい。

【0039】また、上述の一実施形態においては、高誘

電体膜3の表面の窒化処理に図10に示すラジカル窒化装置を用いたが、このラジカル窒化装置は単なる一例にすぎず、他の構成のものを用いてもよい。更に、図10に示すラジカル窒化装置は枚葉式であるが、必要に応じて、バッチ式のラジカル窒化装置を用いてもよい。

【0040】

【発明の効果】以上説明したように、この発明によれば、高誘電体膜上に窒化層を形成しているため、高誘電体膜の上層のp型不純物含有層、例えばゲート電極に用いられるp型多結晶シリコン層中のp型不純物が半導体装置の製造工程において行われる熱処理により高誘電体膜を通過して半導体基体に拡散するのを有効に防止することができる。このため、この半導体基体にp型不純物が拡散することに起因するpチャネルMISトランジスタのしきい値電圧の変動を有効に防止することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態による相補MIS型半導体装置の製造方法を説明するための断面図である。

【図2】この発明の一実施形態による相補MIS型半導体装置の製造方法を説明するための断面図である。

【図3】この発明の一実施形態による相補MIS型半導体装置の製造方法を説明するための断面図である。

【図4】この発明の一実施形態による相補MIS型半導体装置の製造方法を説明するための断面図である。

【図5】この発明の一実施形態による相補MIS型半導体装置の製造方法を説明するための断面図である。

【図6】この発明の一実施形態による相補MIS型半導体装置の製造方法を説明するための断面図である。

【図7】この発明の一実施形態による相補MIS型半導体装置の製造方法を説明するための断面図である。

【図8】この発明の一実施形態による相補MIS型半導体装置の製造方法を説明するための断面図である。

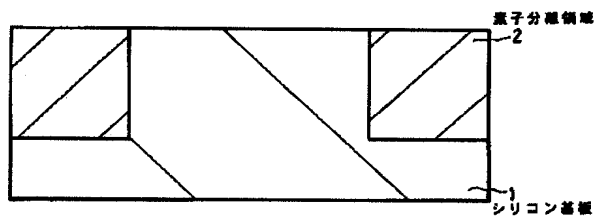
【図9】この発明の一実施形態による相補MIS型半導体装置の製造方法を説明するための断面図である。

【図10】この発明の一実施形態による相補MIS型半導体装置の製造方法において高誘電体膜の表面窒化処理に用いるラジカル窒化装置の一例を示す略線図である。

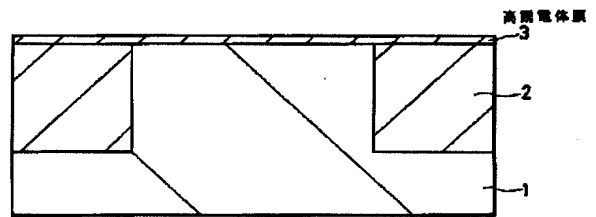
【符号の説明】

1・・・シリコン基板、3・・・高誘電体膜、4・・・窒化層、5・・・ゲート電極、8・・・ソース領域、9・・・ドレイン領域、10・・・コバルトシリサイド層

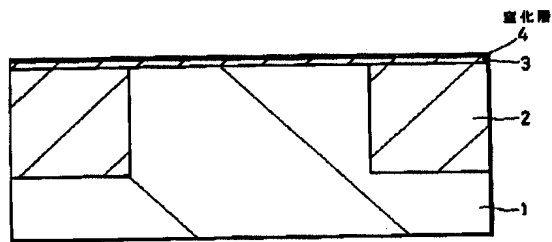
【図 1】



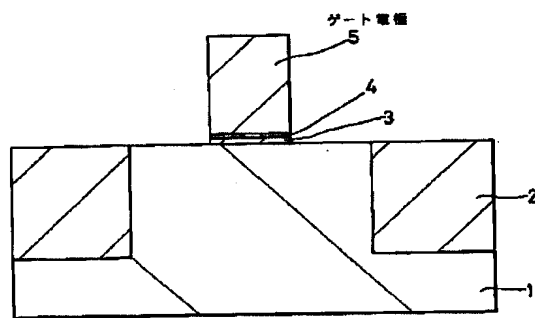
【図 2】



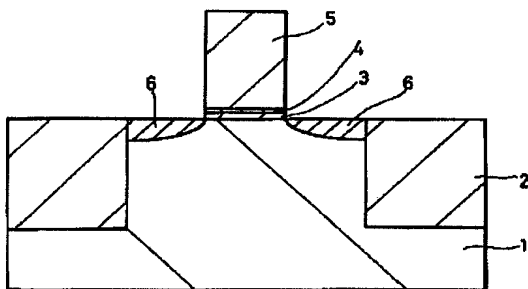
【図 3】



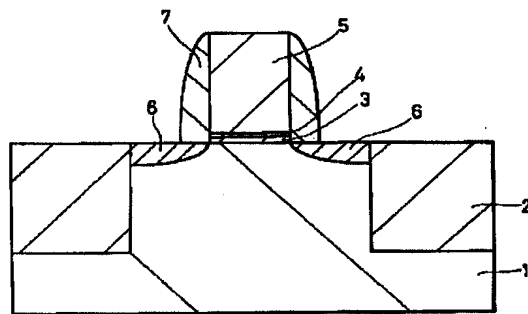
【図 4】



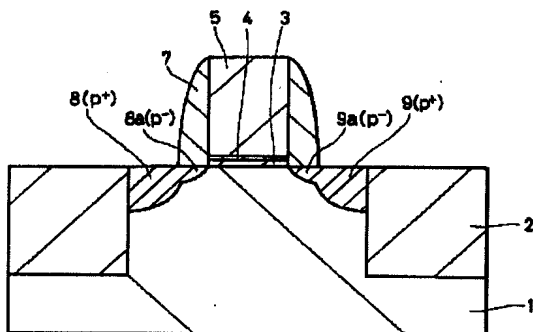
【図 5】



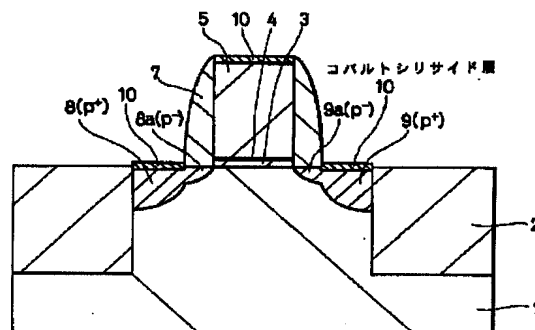
【図 6】



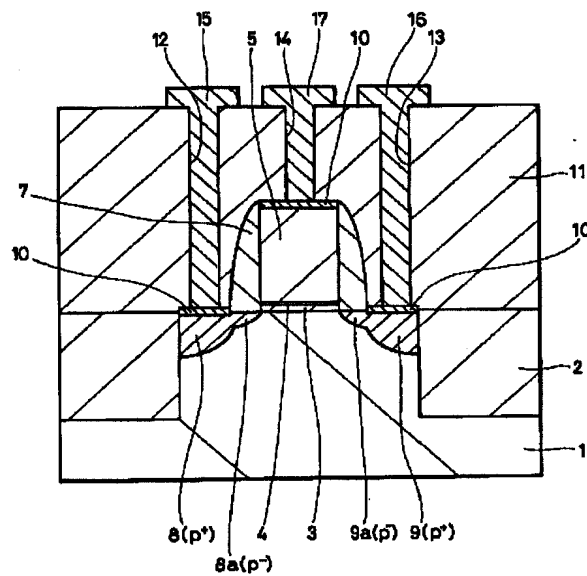
【図 7】



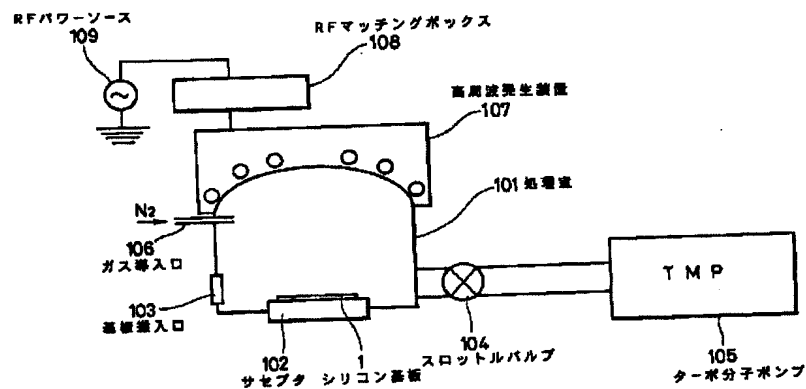
【図 8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 5F058 BA05 BA20 BD01 BD05 BD12
 BF74 BF80 BJ01 BJ10
 5F140 AA06 AA28 AB03 BA01 BC06
 BD01 BD04 BD05 BE02 BE08
 BE09 BF04 BF11 BF18 BF59
 BF60 BG08 BG12 BG14 BG28
 BG32 BG34 BG38 BG44 BG45
 BG52 BG53 BH15 BJ01 BJ08
 BJ27 BK02 BK32 BK34 BK38
 BK39 CA02 CA03 CB04 CB08
 CC01 CC03 CC05 CC07 CC08
 CF04